

MN1640, MN1640A

リアルタイム・システムコントローラ (単一電源用) Real-Time System Controllers (Single Voltage Supply)

■ 概要 / Description

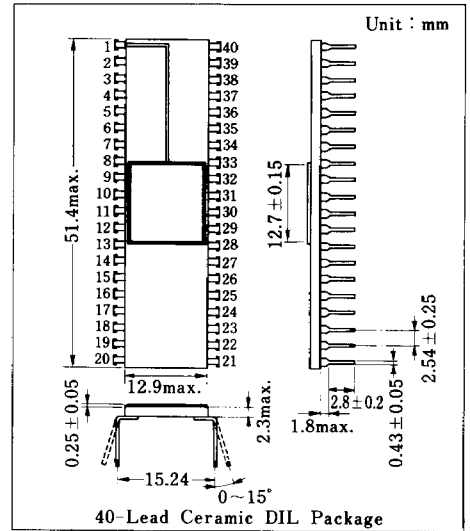
MN1640, MN1640A は、16ビットマイクロコンピュータ・システムのリアルタイム・システムコントローラで、CPU インタフェースに接続され、割込み制御、バス優先制御、起動モード制御、インターバルタイマなどの機能を持ち、CPU の使いやすさを一段と増加させることができます。

5V 単一電源で動作し、発生クロックはワイヤボンドにより、MN1610 用と MN1611 用の仕様に切換えができます。

The MN1640 and MN1640A are real-time system controller circuits designed for use with the MN1600 series 16-bit single chip CPU. The device functions include interrupt status, bus priority, start mode controls and interval timer function. The MN1640 and MN1640A operates on single voltage supply.

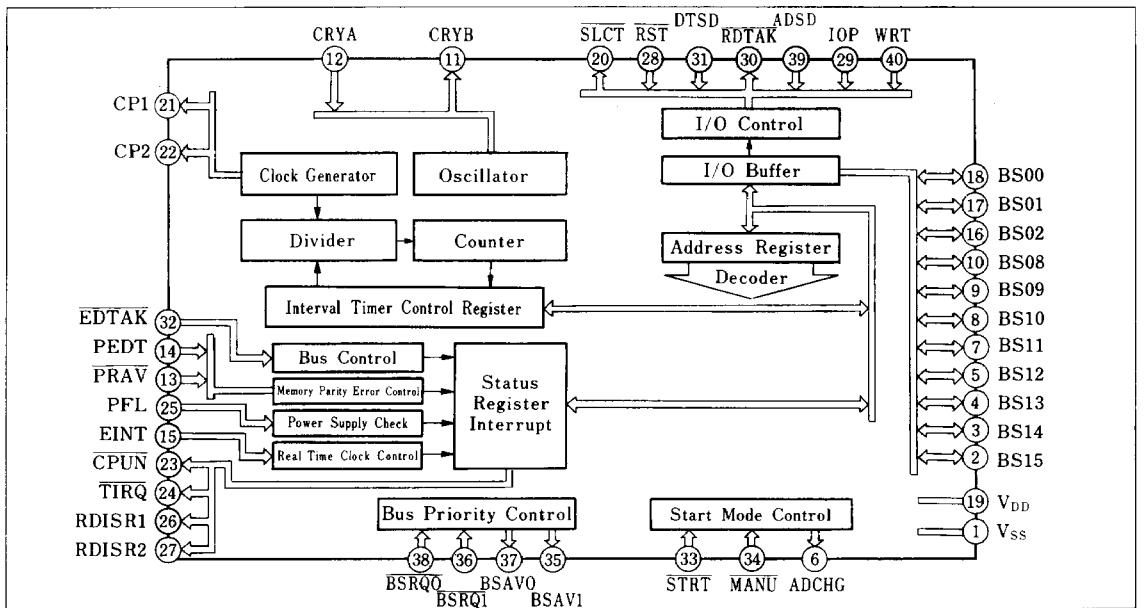
■ 特徴

- N チャンネル E/D 方式により、従来の N チャンネル方式に比べて同電力で 2 倍の動作スピードを達成
- LOCOS (シリコン基板の部分酸化法) による信頼性の向上
- イオンインプラネーション技術の活用により安定な特性の実現



- クロックゼネレータ、タイマ、割込み制御、バス優先制御、起動モード制御
クロック入力 2 MHz (MN1640)
4 MHz (MN1640A)
- 5V 単一電源動作

■ ブロック図 / Block Diagram



■ 仕様一覧表

項目	内容
クロックゼネレータ	CPU (MN1610, 1610A), DMAC (MN1650)用 2MHz および 4MHz 2相クロック
割込み制御	3レベル・インタラプト・ステータスレジスタ (ISR)
マシンチェック割込み制御	停電検出 メモリパリティエラー検出 バスロック検出
バス優先制御	2レベルのバス優先制御
起動モード制御	自動再起動用PSWの割出し
タイマ	1ms~2.56sのインターバル・タイマ リアルタイム
クロック入力	2MHz(MN1610), 4MHz(MN1610A)
電源	$V_{DD}=+5V$
全消費電力	0.8W max(MN1610), 0.5W max. (MN1610A)
パッケージ	40ピン・セラミックDILパッケージ

■ 絶対最大定格/Absolute Maximum Ratings ($V_{SS}=0V$, $T_a=25^\circ C$)

Item	Symbol	Rating	Unit
電源電圧	V_{DD}	10	V
入力電圧	V_I	10	V
出力電圧	V_O	10	V
端子順電圧	V_F	-0.3	V
許容損失 ($T_a=70^\circ C$)	P_D	1.2	W
動作周囲温度	T_{opr}	-30~+125	$^\circ C$
保存温度	T_{stg}	-55~+150	$^\circ C$

■ 動作条件/Operating Conditions ($V_{DD}=5V$, $V_{SS}=0V$, $T_a=-10\sim+70^\circ C$)

Item	Symbol	Condition	min.	typ.	max.	Unit
電源電圧	V_{DD}		4.75	5.0	5.25	V

MN1640

■ 電気的特性 / Electrical Characteristics

DC特性 / DC Characteristics ($V_{DD}=5V$, $V_{SS}=0V$, $T_a=-10\sim+70^\circ C$)

Item	Symbol	Condition	min.	typ.	max.	Unit
電源電流	I_{DD}	$T_a=25^\circ C$, $V_{DD}=5V$		50	160	mA
全消費電力	P_{tot}		0.25	0.8	W	
入力端子 (I/O含む)						
入力電圧ハイレベル	V_{IH}		2.4		V_{DD}	V
入力電圧ローレベル	V_{IL}				0.8	V
入力電流ローレベル	I_{IL}	$V_I = V_{SS}$			30	μA
入力電流ハイレベル	I_{IH}	$V_I = V_{DD}$			30	μA
出力端子						
出力電圧ハイレベル	V_{OH}	$I_{OH} = -150\mu A$	2.6			V
出力電圧ローレベル	V_{OL}	$I_{OL} = 2.0mA$			0.5	V
端子容量						
入力容量	C_I	端子電圧=2.0V $f=1MHz$, $T_a=25^\circ C$		5		pF
出力容量	C_O		10		pF	
三値状態入力端子 (Three State)						
スリーステート入力電流ローレベル	I_{TSL}	$V_I = V_{SS}$			30	μA
スリーステート入力電流ハイレベル	I_{TSH}	$V_I = V_{DD}$			30	μA

AC特性 / AC Characteristics ($V_{DD}=5V$, $V_{SS}=0V$, $T_a=-10\sim+70^\circ C$)

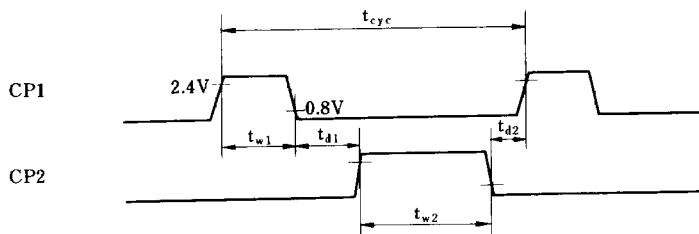
1. 動作条件 / Operating Conditions

Item	Symbol	Condition	min.	typ.	max.	Unit
WRTの入力条件	t_a	WRT-DTSD	100			ns
IOPの入力条件	t_b	IOP-DTSD	100			ns
BUSの入力条件	t_c	BUS-ADSD	40			ns
ADSDのバルス幅	t_d		80			ns
BUSの解除条件	t_e	ADSD-BUS	30			ns
BUSの入力条件 (WT)	t_f	BUS-DTSD	40			ns
WRTの解除条件	t_g	DTSD-WRT	0			ns
IOPの解除条件	t_h	DTSD-IOP	0			ns
BUSの解除条件	t_j	DTSD-BUS	30			ns
BSRQの解除条件	t_k	DTSD-BSRQ	-50	0	50	ns
MANUの入力条件	t_l	MANU-STRT	0			ns
MANUの解除条件	t_m	STRT-MANU	2.0			μs
PRAVのバルス幅	t_n		300			ns
PEDTの入力条件	t_p	PEDT-PRAV			80	ns
PEDTの解除条件	t_q	PRAV-PEDT	0			ns
EINTのバルス幅	$t_w(1)$		500			ns
RSTのバルス幅	$t_w(2)$		500			ns
入力信号の立上り / 立下り時間	t_r / t_f				50	ns

2. 動作特性 / Operating Conditions

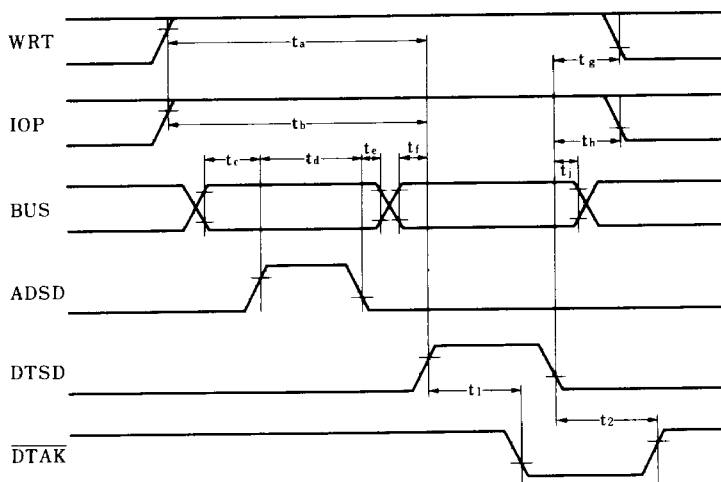
Item	Symbol	Condition	min.	typ.	max.	Unit
CP1のパルス幅	$t_{w(1)}$		80	100		ns
CP2のパルス幅	$t_{w(2)}$		170	200		ns
CP2の遅延時間	$t_{d(1)}$	CP1 - CP2	75	100		ns
CP1の遅延時間	$t_{d(2)}$	CP2 - CP1	75	100		ns
クロックサイクル時間	t_{cy}			500		ns
DTAKの出力	t_1	DTSD↑ - DTAK↓	150			ns
DTAKの後縁保証	t_2	DTSD↓ - DTAK↑			250	ns
DTAKの出力	t_3	BUS - DTAK↓	50			ns
DTAKの出力	$t_1 - t_4$	RDISRn - DTAK↓	60			ns
BUSの後縁保証	t_5	DTSD - BUS			250	ns
BSAVの後縁保証	t_6	DTSD - BSAV			200	ns
BSAVの出力	t_7	DTAK - BSAV			350	ns
ADCHGの出力	t_8	BSRQ - ADCHG			200	ns
CPUNの出力	t_9	PRAV - CPUN			550	ns

■ クロック出力波形 / Clock Waveforms

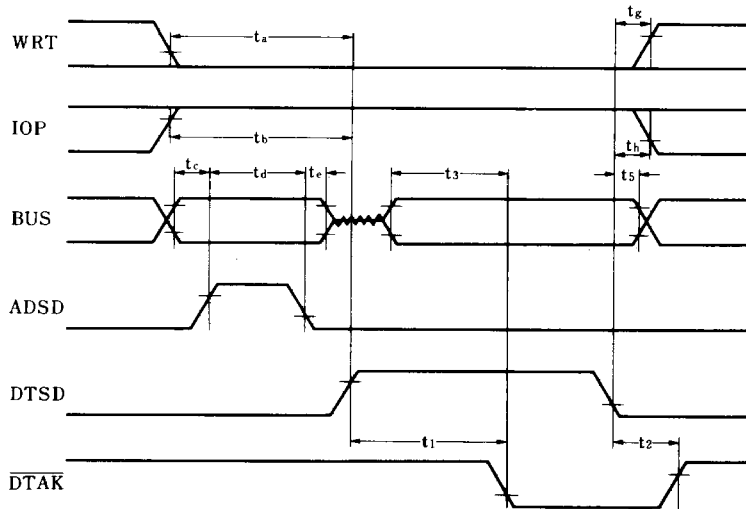


■ タイミング図 / Timing Diagrams

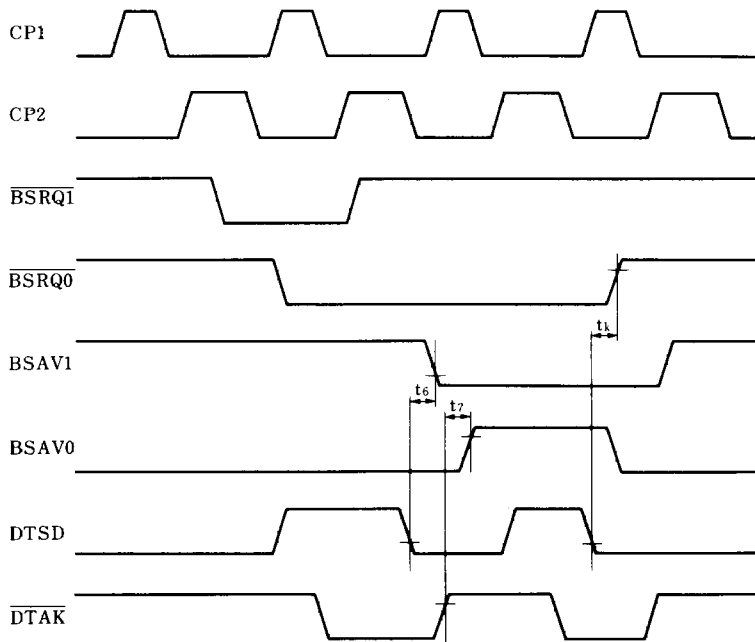
1. 書き込みタイミング / WRITE Timing



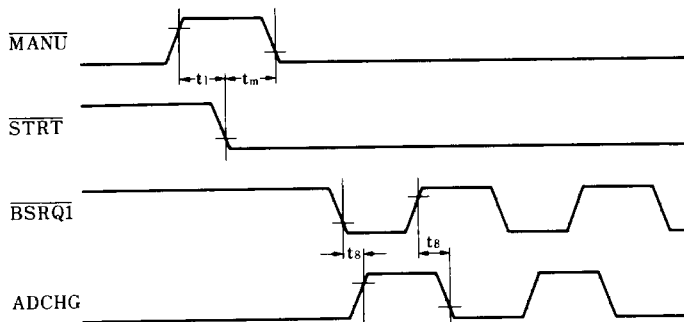
2. 読出しタイミング／READ Timing



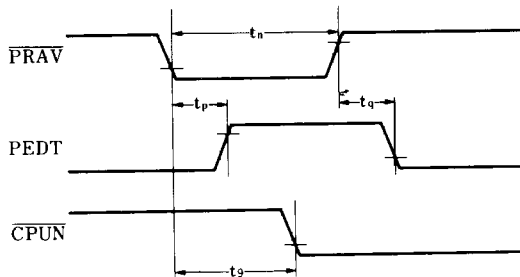
3. バス優先制御タイミング／Bus Priority Control Timing



4. 起動モード制御タイミング / Start Mode Control Timing



5. パリティチェックタイミング / Parity Check Timing



MN1640A

■ 電気的特性 / Electrical Characteristics

DC特性 / DC Characteristics ($V_{DD}=5V$, $V_{SS}=0V$, $T_a=-10\sim+70^{\circ}C$)

Item	Symbol	Condition	min.	typ.	max.	Unit
電源電流	I_{DD}	$T_a=25^{\circ}C$, $V_{DD}=5V$		60	100	mA
全消費電力	P_{tot}			0.3	0.5	W
入力端子 (I/O 含む)						
入力電圧ハイレベル	V_{IH}		2.4		V_{DD}	V
入力電圧ローレベル	V_{IL}			0.8		V
入力電流ローレベル	I_{IL}	$V_i=V_{SS}$	-10		10	μA
入力電流ハイレベル	I_{IH}	$V_i=V_{DD}$	-10		10	μA
出力端子						
出力電圧ハイレベル	V_{OH}	$I_{OH}=-150\mu A$	2.6			V
出力電圧ローレベル	V_{OL}	$I_{OL}=2.0mA$			0.5	V
端子容量						
入力容量	C_i	端子電圧=2.0V $f=4MHz$, $T_a=25^{\circ}C$		5		pF
出力容量	C_o			10		pF
三値状態入力端子 (Three State)						
スリーステート入力電流ローレベル	I_{TSIL}	$V_i=V_{SS}$	-10		10	μA
スリーステート入力電流ハイレベル	I_{TSIH}	$V_i=V_{DD}$	-10		10	μA

AC特性 / AC Characteristics ($V_{DD}=5V$, $V_{SS}=0V$, $T_a=-10\sim+70^{\circ}C$)

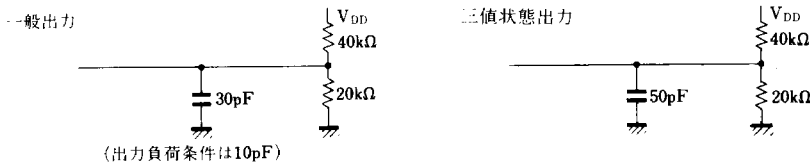
動作条件 / Operating Conditions

Item	Symbol	Condition	min.	typ.	max.	Unit
WRTの入力条件	t_a	WRT-DTSD	100			ns
IOPの入力条件	t_b	IOP-DTSD	100			ns
BUSの入力条件	t_c	BUS-ADSD	20			ns
ADSDのパルス幅	t_d		40			ns
BUSの解除条件	t_e	ADSD-BUS	30			ns
BUSの入力条件 (WT)	t_f	BUS-DTSD	20			ns
WRTの解除条件	t_g	DTSD-WRT	0			ns
IOPの解除条件	t_h	DTSD-IOP	0			ns
BUSの解除条件 (WT)	t_j	DTSD-BUS	40			ns
BSRQの解除条件	t_k	DTSD-BSRQ	-50	0	50	ns
MANUの入力条件	t_l	MANU-STRT	0			ns
MANUの解除条件	t_m	STRT-MANU	2.0			μs
PRAVのパルス幅	t_n		300			ns
PEDTの入力条件	t_p	PEDT-PRAV	-60			ns
PEDTの解除条件	t_q	PRAV-PEDT	0			ns
EINTのパルス幅	$t_w(1)$		500			ns
RSTのパルス幅	$t_w(2)$		500			ns
入力信号の立上り / 立下り時間	t_r, t_f				50	ns
BSRQのパルス幅	$t_w(3)$		500			ns

2. 動作特性 / Operating Characteristics

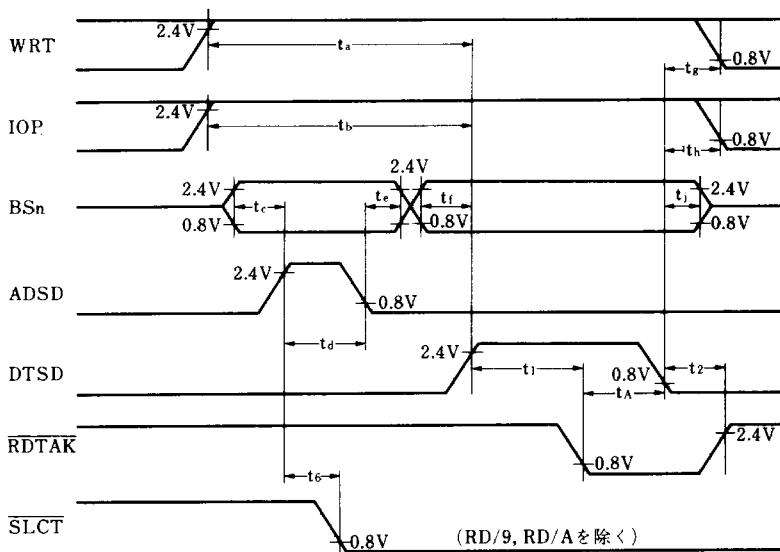
Item	Symbol	Condition	min.	typ.	max.	Unit
CP1のパルス幅	$t_{w(1)}$			50		ns
CP2のパルス幅	$t_{w(2)}$			100		ns
CP2の遅延時間	$t_{d(1)}$	CP1 - CP2		50		ns
CP1の遅延時間	$t_{d(2)}$	CP2 - CP1		50		ns
クロック周波数	f_{CP}				4	MHz
RDTAKの出力	t_1	DTSD \uparrow - RDTAK \downarrow	100			ns
RDTAKの後縁保証	t_2	DTSD \downarrow - RDTAK \uparrow			250	ns
RDTAKの出力	t_3	BUS - RDTAK \downarrow	0			ns
RDTAKの出力	t_4	RDISR \uparrow - RDTAK \downarrow	40			ns
BUSの後縁保証	t_5	DTSD \downarrow - BUS off			200	ns
SLCTの出力	t_6	ADSD \uparrow - SLCT \downarrow			300	ns
BSAVの後縁保証	t_7	DSTD \downarrow - BSAV \downarrow			200	ns
BSAVの出力	t_8	DTAK \uparrow - BSAV \uparrow	0			ns
ADCHGの出力	t_9	STRT \downarrow - ADCHG \uparrow		200		ns
TIRQの出力	t_{10}	EINT \uparrow - TIRQ \downarrow		180		ns
CPUNの出力	t_{11}	PFL \uparrow - CPUN \downarrow		180		ns
CPUNの出力	t_{12}	PRAV \downarrow - CPUN \downarrow		300		ns
CPUNの出力	t_{13}	RDTAK \downarrow - CPUN \downarrow		200		ns

注) 負荷条件

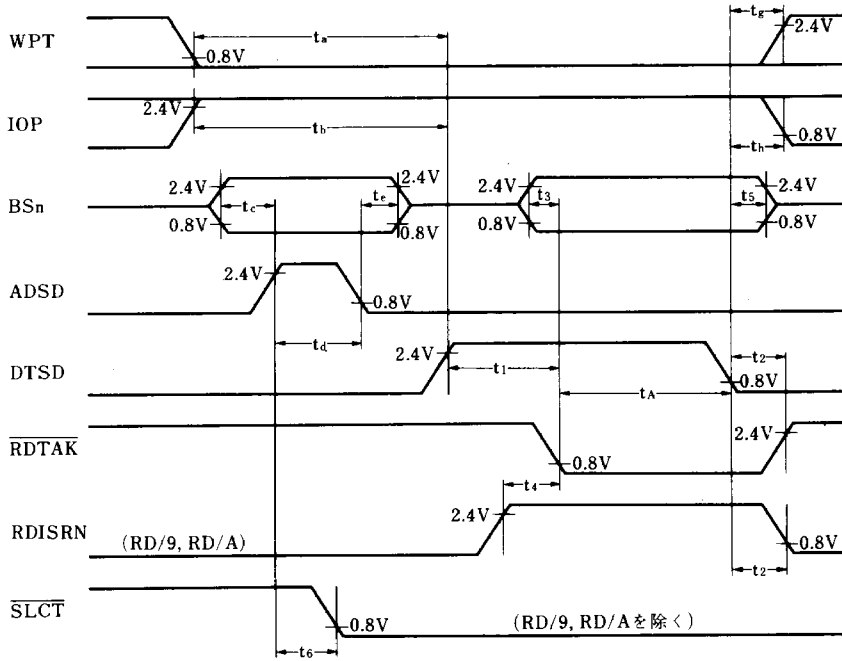


■ タイミング図 / Timing Diagrams

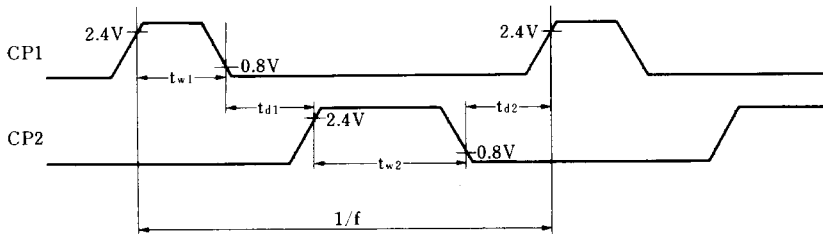
1. レジスタ書き込みタイミング / Register WRITE Timing (CPU → RSC)



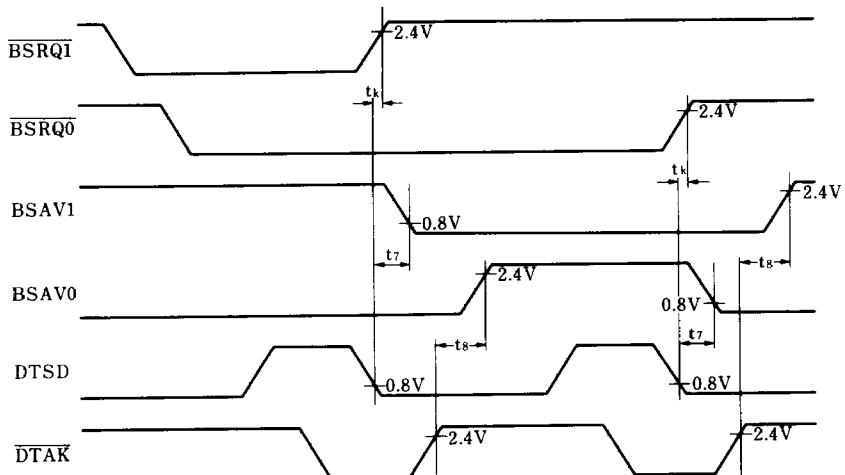
2. レジスタ読出しタイミング / Register READ Timing (CPU ← RSC)



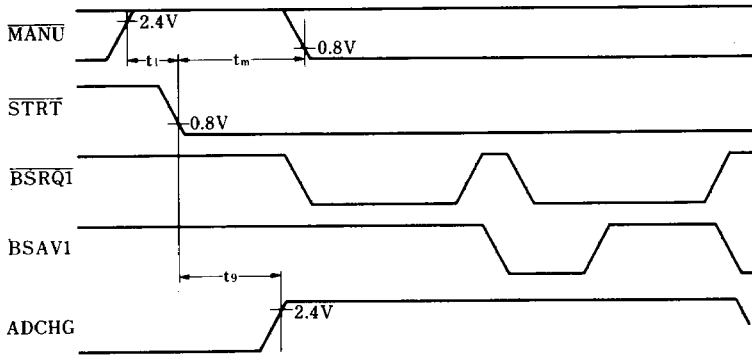
3. クロック出力波形 / Clock Output Waveforms



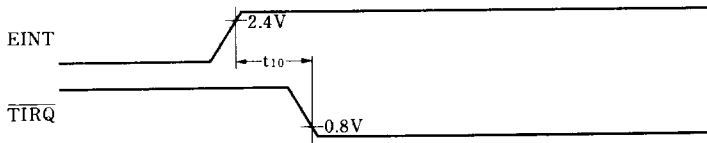
4. バス優先制御タイミング / Bus Priority Control Timing



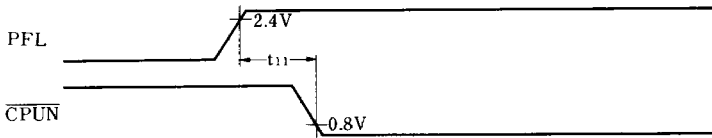
5. 起動モード制御タイミング / Start Mode Control Timing



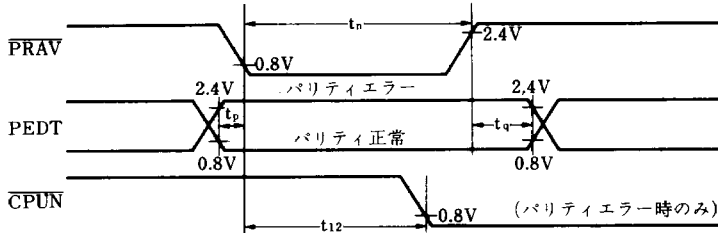
6. リアルタイム クロック割込み要求タイミング / Real Time Clock Interrupt Request Timing



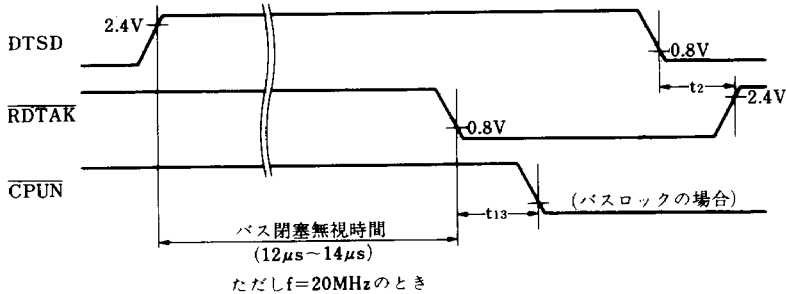
7. 停電割込み要求タイミング / Power Failure Interrupt Request Timing



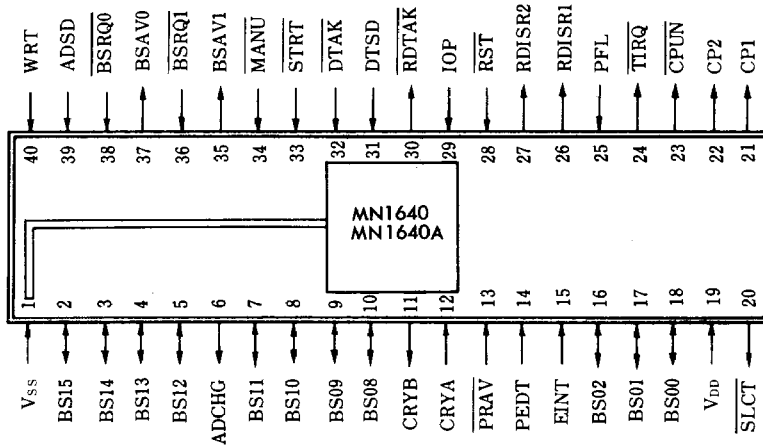
8. パリティエラー割込み要求タイミング / Parity Error Interrupt Request Timing



9. バスロック割込み要求タイミング / Bus Lock Interrupt Request Timing



■ 端子接続図 / Terminal Connections



(Top View)

■ 端子説明 / Terminal Assignments

Pin No.	Symbol	Function	Pin No.	Symbol	Function
1	V _{SS}	V _{SS} Power Supply	21	CP1	Clock Phase 1
2	BS15	Address/ Data Bus 15	22	CP2	Clock Phase 2
3	BS14	" 14	23	CPUN	CPU Unusual
4	BS13	" 13	24	TIRQ	Timer Interrupt Request
5	BS12	" 12	25	PFL	Power Failure
6	ADCHG	Address Change	26	RDISR1	Read Interrupt Status Register 1
7	BS11	Address/ Data Bus 11	27	RDISR2	" 2
8	BS10	" 10	28	RST	Reset
9	BS09	" 9	29	IOP	I/O Operation
10	BS08	" 8	30	RDTAK	RSC Data Acknowledge
11	CRYB	Crystal Oscillation Output	31	DTSD	Data Send
12	CRYA	Crystal Oscillation Inpnt	32	DTAK	External Data Acknowledge
13	PRAV	Parity Available	33	STRT	Start
14	PEDT	Parity Error Detect	34	MANU	Manual Start
15	EINT	External Interrupt	35	BSAV1	Bus Available 1
16	BS02	Address/ Data Bus 2	36	BSRQ1	Bus Request 1
17	BS01	" 1	37	BSAV0	Bus Available 0
18	BS00	" 0	38	BSRQ0	Bus Request 0
19	V _{DD}	V _{DD} Power Supply	39	ADSD	Address Send
20	SLCT	RSC Select	40	WRT	Write Operation